

Searching PAJ

第1頁, 共1頁

Cite No. 3

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-075870

(43)Date of publication of application : 12.03.2003

(51)Int.Cl.

G02F 1/1368

G09F 9/30

H01L 21/336

H01L 29/786

(21)Application number : 2001-271080

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.09.2001

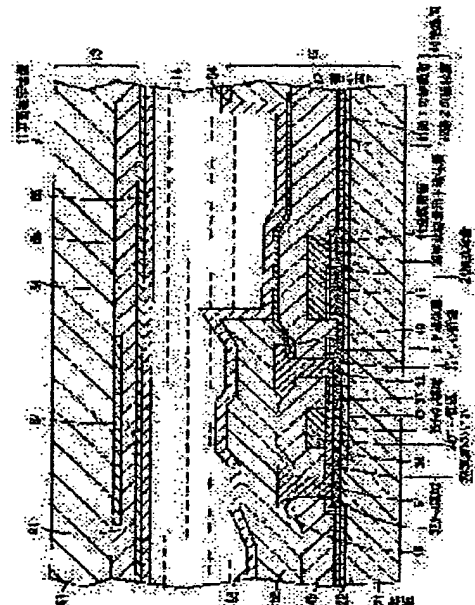
(72)Inventor : YOSHIHASHI HIDEO

## (54) PLANE DISPLAY DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a plane display device which is increased in yield by suppressing voltage dependency.

**SOLUTION:** The power consumption can be reduced by lowering a driving voltage by injecting impurities selectively to a lower electrode 38 of a semiconductor of an auxiliary capacitor 24 so as to have the same density as that of the source area 32 and drain area 33 of a thin film transistor 23. After a resist mask for the injection of impurities into the lower electrode 38 is peeled by plasma ashing, dilute hydrofluoric acid processing for removing a damage layer formed in the surface of a 1st insulating film 41 is carried out and then a gate insulating film part 43 in the 1st insulating film 41 has no damage, so the thin film transistor 23 has no characteristic deterioration. On the 1st insulating film 41, a 2nd insulating film 42 is laminated and formed and even if a pinhole is formed in the 1st insulating film 41 during dilute hydrofluoric acid processing, a short circuit can be prevented between a gate electrode 34 of the gate insulating film part 43 and a channel area 35 of a semiconductor layer 31 or in a dielectric part 45.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-75870

(P2003-75870A)

(43) 公開日 平成15年3月12日 (2003.3.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ページ* (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4
H 0 1 L 21/338		H 0 1 L 29/78	6 1 7 V 5 F 1 1 0
29/786			6 1 7 U

審査請求 未請求 請求項の数3 OL (全 8 頁)

(21) 出願番号 特願2001-271080(P2001-271080)

(22) 出願日 平成13年9月6日 (2001.9.6)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 吉橋 英生

埼玉県深谷市磯部町一丁目9番地2 株式  
会社東芝深谷工場内

(74) 代理人 100082764

弁理士 樺部 英 (外1名)

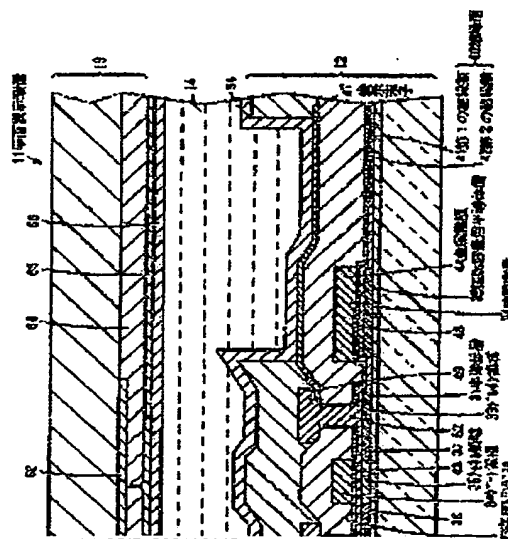
最終頁に続く

(54) 【発明の名称】 平面表示装置およびその製造方法

(57) 【要約】

【課題】 電圧依存性の抑制され歩留りが向上した平面表示装置を提供する。

【解決手段】 補助容量24の半導体の下部電極38に選択的に薄膜トランジスタ23のソース領域32およびドレイン領域33と同等しい濃度に不純物を注入することにより、駆動電圧を下げて消費電力を低下できる。下部電極38への不純物の注入の際のレジストマスクをプラスマアッシングして剥離した後に、第1の絶縁膜41の表面に入ったダメージ層を除去する希フッ酸処理をすることにより、第1の絶縁膜41中のゲート絶縁膜部43にダメージがないため薄膜トランジスタ23の特性劣化は発生しない。第1の絶縁膜41上に、第2の絶縁膜42を積層して成膜することにより、希フッ酸処理の際に第1の絶縁膜41にピンホールができた場合でも、ゲート絶縁膜部43のゲート



(2)

特開2003-75870

1

## 【特許請求の範囲】

【請求項1】 基板と、この基板上に形成された複数の薄膜トランジスタと、この薄膜トランジスタに接続され、マトリクス状に配置された複数の表示素子と、前記表示素子に電気的に接続された補助容量用半導体層と、前記補助容量用半導体層上に形成された絶縁層と、前記絶縁層上に形成された金属電極とを備え、前記補助容量用半導体層、前記絶縁層、および前記金属電極とにより補助容量を構成する平面表示装置において、

前記薄膜トランジスタは、チャンネル領域と、このチャンネル領域を挟み不純物がそれぞれ注入されたソース領域およびドレイン領域とを有する半導体層を備え、前記補助容量用半導体層は前記薄膜トランジスタの前記ソース領域およびドレイン領域と略等しい濃度の不純物が注入され、

前記絶縁層は、不純物が所定濃度注入された第1の絶縁膜と、真性な状態あるいは前記所定濃度より低い濃度の不純物が注入された第2の絶縁膜とが積層されてなることを特徴とする平面表示装置。

【請求項2】 第2の絶縁膜は第1の絶縁膜よりも膜厚が厚いことを特徴とする請求項1記載の平面表示装置。

【請求項3】 基板上に、薄膜トランジスタの半導体層と、補助容量用半導体層とを同時に形成する工程と、前記薄膜トランジスタの半導体層および前記補助容量用半導体層を覆うように第1の絶縁膜を形成する工程と、前記薄膜トランジスタのチャンネル領域となる部分を覆い、前記薄膜トランジスタのソース領域、ドレイン領域、および前記補助容量用半導体層の全面を露出する形状のレジストマスクを前記第1の絶縁膜上に形成する工程と、

前記レジストマスクを介して、前記薄膜トランジスタのソース領域、ドレイン領域、および前記補助容量用半導体層の全面に不純物を注入する工程と、

前記レジストマスクを除去する工程と、

前記第1の絶縁膜を洗浄する工程と、

前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に、金属層を成膜し、この金属層をパターンニングして、前記薄膜トランジスタのゲート電極、および補助容量用半導体層に対向する金属電極を形成する工程とを具備することを特徴とする平面表示装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ

2

が知られている。また、この液晶表示装置のうち、マトリクス状に配設された画素に対応して薄膜トランジスタが設けられたアクティブマトリクス型がある。そして、このアクティブマトリクス型の液晶表示装置は、画素に対応して設けられた薄膜トランジスタのスイッチング動作によってそれぞれの画素に任意の電位を書き込み、各画素の光透過率を制御して画面表示するもので、表示特性が優れている。近年は、画素に電位を書き込むための薄膜トランジスタだけでなく、これら薄膜トランジスタを駆動する駆動回路も同一の基板上に形成されているものもある。

【0003】この駆動回路が設けられている液晶表示装置では、低消費電力化が要望されている。一方、画素に対応して記憶保持用の薄膜コンデンサが設けられており、低消費電力化にはこの薄膜コンデンサの動作電圧を低くすることが有効であるが、現状用いている薄膜コンデンサは電極の一方に不純物をドーピングしていないオリシリコンを用いるMOS (Metal Oxide Semiconductor) 型であり、容量を形成するためには高電圧をかける必要があって動作電圧は低下できない。

【0004】また、このようなMOS型の薄膜コンデンサの電圧を低下させるには、一方の電極を形成するポリシリコンに高濃度の不純物を注入し、その特性を金属のようになすことが知られている。そして、この薄膜コンデンサの一方の電極を形成するポリシリコンに高濃度の不純物を注入した構造のコンデンサを作成するためには、不純物イオンを注入する部分を開口したレジストマスクを用いてイオンドーピング装置により、薄膜コンデンサの一方の電極と一般的に同層のポリシリコン層に設けられている薄膜トランジスタのソース領域、ドレイン領域と、薄膜コンデンサの一方の電極にのみ選択的に不純物を注入している。この場合、レジストマスクは薄膜トランジスタの半導体層上あるいは半導体層上に形成されるゲート絶縁膜上に形成されるため、半導体層とゲート絶縁膜との間もしくはゲート絶縁膜とゲート電極との間で、レジストマスクの塗布および剥離をすることになる。

【0005】

【発明が解決しようとする課題】しかしながら、半導体層とゲート絶縁膜との間もしくはゲート絶縁膜とゲート電極との間のいずれも、薄膜トランジスタの特性を左右する領域であるため、プロセスによるダメージは必要最低限に留めなければならない。一方、イオンドーピングのマスクとして用いたレジストマスクは、注入されたイオンによるダメージにより表面が硬化しており、高エネルギーのプラズマを用いたエッチング処理に耐えられず、エッチングが完了した後に、エッチング残渣が残る。この残渣は、エッチング液の汚染源となり、エッチング液の汚染を防ぐために、エッチング液の交換頻度を増やす必要がある。また、エッチング残渣は、エッチング液の汚染源となり、エッチング液の汚染を防ぐために、エッチング液の交換頻度を増やす必要がある。また、エッチング残渣は、エッチング液の汚染源となり、エッチング液の汚染を防ぐために、エッチング液の交換頻度を増やす必要がある。

(3)

特開2003-75870

3

4

る。

【0006】また、ドライアッシングの際のダメージは表面にのみ発生するので、薄膜トランジスタの特性のみを考えれば、ダメージを受けた膜表面のみをレジストマスクを剥離した後に希フッ酸で洗浄すれば特性は回復する。

【0007】ところが、希フッ酸で洗浄すると、ゲート酸化膜にパーティクルが乗っていたり、弱い部分があったりした場合に、ピンホールが発生して、ゲート電極上に形成されるゲート電極と半導体層との間にショートが発生して歩留を低下するおそれがある問題を有している。

【0008】本発明は、上記問題点に鑑みなされたもので、電圧依存性の抑制され歩留りが向上された平面表示装置およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、基板と、この基板上に形成された複数の薄膜トランジスタと、この薄膜トランジスタに接続され、マトリクス状に配置された複数の表示素子と、前記表示素子に電気的に接続された補助容量用半導体層と、前記補助容量用半導体層上に形成された絶縁層と、前記絶縁層上に形成された金属電極とを備え、前記補助容量用半導体層、前記絶縁層、および前記金属電極とにより補助容量を構成する平面表示装置において、前記薄膜トランジスタは、チャネル領域と、このチャネル領域を挟み不純物がそれぞれ注入されたソース領域およびドレイン領域とを有する半導体層を備え、前記補助容量用半導体層は前記薄膜トランジスタの前記ソース領域およびドレイン領域と略等しい濃度の不純物が注入され、前記絶縁層は、不純物が所定濃度注入された第1の絶縁膜と、真性な状態あるいは前記所定濃度より低い濃度の不純物が注入された第2の絶縁膜とが積層されてなるもので、薄膜コンデンサを形成する補助容量用半導体層に不純物が薄膜トランジスタのソース領域およびドレイン領域と略等しい濃度の注入されているため、駆動電圧を下げて消費電力を低下させることができ、製造工程中に第1の絶縁膜にピンホールなどが生じて、第1の絶縁膜上に第2の絶縁膜を形成しているため薄膜トランジスタのゲート電極および活性層のチャネル領域間は第2の絶縁膜で絶縁し薄膜トランジスタの特性劣化を回避でき、歩留りの低下を生じない。

【0010】また、本発明は、基板上に、薄膜トランジスタの半導体層と、補助容量用半導体層とを同時に形成する工程と、前記薄膜トランジスタの半導体層および前記補助容量用半導体層を覆うように第1の絶縁膜を形成

トランジスタのソース領域、ドレイン領域、および前記補助容量用半導体層の全面に不純物を注入する工程と、前記レジストマスクを除去する工程と、前記第1の絶縁膜を洗浄する工程と、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に、金属層を成膜し、この金属層をパターンニングして、前記薄膜トランジスタのゲート電極、および補助容量用半導体層に向向する金属電極を形成する工程とを具備するもので、薄膜コンデンサの補助容量用半導体層に薄膜トランジスタのソース領域およびドレイン領域と同様に不純物を注入できるため、駆動電圧を下げて消費電力を低下させることができるとともに、レジストマスクを第1の絶縁膜上に形成し、このレジストマスクを剥離する際に第1の絶縁膜にピンホールなどが生じて、レジストマスクを除去した後に第1の絶縁膜上に第2の絶縁膜を形成するため、薄膜トランジスタのゲート電極および半導体層のチャネル領域間は第2の絶縁膜で絶縁し薄膜トランジスタの特性劣化を回避でき、歩留りの低下を生じない。

【0011】

【発明の実施の形態】以下、本発明の平面表示装置の一実施の形態のアクティブマトリクス型の液晶表示装置を図面を参照して説明する。

【0012】図1に示すように、平面表示装置としての液晶表示装置11は、マトリクスアレイ基板12に対向基板13が対向して設けられ、これらマトリクスアレイ基板1および対向基板1間に光変調層として液晶層14が挟持されて形成されている。

【0013】まず、マトリクスアレイ基板12は、透明なガラスなどの絶縁性基板21上に酸化シリコン(SiO<sub>2</sub>)の膜厚50nmのアンダーコート層22が形成され、このアンダーコート層22上に、スイッチング素子としてのたとえばN型薄膜トランジスタで構成される画素用の薄膜トランジスタ(Thin Film Transistor)23および、MOS(Metal Oxide Semiconductor)型の薄膜コンデンサとしての補助容量24が形成されている。

【0014】そして、薄膜トランジスタ23は、アンダーコート層22上に膜厚50nmの多結晶シリコンの半導体層31が形成され、この半導体層31には所定濃度の不純物を含むソース領域32およびドレイン領域33が形成され、上方に位置するゲート電極34に自己整合的に対応する位置に、所定濃度より低い濃度の不純物を含むかもしくは真性な状態であるチャネル領域35が形成され、チャネル領域35およびソース領域32間にLDD(Lightly Doped Drain)領域36が形成され、チャネル領域35およびドレイン領域33間にLDD領域37がそれぞれ形成されてい

(4)

特開2003-75870

5

6

に含まれる不純物とはほぼ同等の濃度の不純物を全体に含んだ多結晶シリコンの半導体層により形成されている。

【0016】また、薄膜トランジスタ23の半導体層31および補助容量24の下部電極38上には、絶縁層40が形成され、この絶縁層40は酸化シリコンの膜厚70nmの第1の絶縁膜41およびこの第1の絶縁膜41より不純物濃度が低い同様に膜厚65nmの第2の絶縁膜42が積層されて形成されている。

【0017】このように、第1の絶縁膜41には不純物が高濃度に注入されているためゲッターリング作用を有し、ガラス中に含まれるナトリウム(Na)などの不純物の拡散を防止できる。

【0018】また、耐圧に影響するゲート電極34もしくは補助容量24の金属電極としての上部電極44の直下の第2の絶縁膜42は、LDD領域36、37形成の際の不純物注入時にゲート電極34もしくは上部電極44がマスクとなるため、実質的に不純物を含まない、つまり真性な状態とすることで、耐圧低下を抑制できる。

【0019】さらに、ゲート電極34は第1の絶縁膜41および第2の絶縁膜42を介したチャネル領域35上に、膜厚300nmのモリブデンタングステン(MoW)合金で形成され、このゲート電極34は図示しない走査線の長手方向に直交する方向に突出して形成され、この走査線は複数本平行に設けられている。そして、第1の絶縁膜41および第2の絶縁膜42のゲート電極34およびチャネル領域35間は、ゲート絶縁膜部43として機能する。

【0020】また、第1の絶縁膜41および第2の絶縁膜42を介した下部電極38上にはゲート電極34と同様に膜厚300nmのモリブデンタングステン合金の上部電極44が形成され、この上部電極44は、図示しない走査線と平行な長手状で、補助容量配線として行毎に連続して形成されている。そして、第1の絶縁膜41および第2の絶縁膜42の上部電極44および下部電極38間は、誘電体部45として機能する。

【0021】さらに、薄膜トランジスタ23のゲート電極34および補助容量24の上部電極44上には、膜厚400nmの酸化シリコンの層間絶縁膜46が形成されている。

【0022】また、補助容量24の上方の層間絶縁膜46上にはマトリクス状に表示素子を形成する膜厚100nmのITO(Indium Tin Oxide)の画素電極47が形成されている。

【0023】さらに、層間絶縁膜46および第1の絶縁膜41および第2の絶縁膜42を貫通し、薄膜トランジスタ23のソース領域32に達するコンタクトホール48およびドレイン領域33に達するコンタクトホール49がそれぞれ穿設

一体に設けられ、この信号線は走査線および補助容量線となる上部電極44と直交する方向に複数本設けられている。したがって、信号線および走査線のそれぞれの交点に薄膜トランジスタ23が配置されている。

【0025】また、コンタクトホール49にはドレイン領域35および画素電極47を互いに接続する膜厚800nmでアルミニウムなどの単体または積層膜あるいは合金膜のドレイン電極52が設けられている。

【0026】さらに、これらソース電極51、ドレイン電極52および画素電極47を含む層間絶縁膜46上には、膜厚400nmで窒化シリコン(SiN<sub>x</sub>)のパッシベーション膜53が形成され、このパッシベーション膜53には画素電極47を露出する開口54が形成されている。

【0027】また、画素電極47を含むパッシベーション膜53上には、低温キュア型のポリイミドを印刷塗布してラビング処理された配向膜55が形成されている。

【0028】一方、対向基板13は、透明なガラスなどの絶縁性基板61上に薄膜トランジスタ23の上方に位置して、この薄膜トランジスタ23への光を遮光するとともにブラックマトリクスとして機能する格子状またはストライプ状の遮光膜62が形成され、この遮光膜62を境として絶縁性基板61上には青、赤および緑のカラーフィルタ64が形成され、これらカラーフィルタ64上には膜厚100nmのITOの対向電極65が形成され、この対向電極65上にはラビング処理された配向膜66が形成されている。

【0029】そして、マトリクスアレイ基板12および対向基板13の周面には図示しない封止材が配設され、マトリクスアレイ基板12および対向基板13の間には液晶層1が封止されて挟持され、マトリクスアレイ基板12および対向基板13のそれぞれの外表面には図示しない偏光板が貼着されている。

【0030】次に、液晶表示装置11の製造方法について説明する。

【0031】まず、図2に示すように、絶縁性基板21上にプラズマCVD(Plasma Chemical Vapor Deposition)法により、酸化シリコンのアンダーコート層22および非晶質シリコン薄膜を50nm程度の膜厚で積層して成膜し、この非晶質シリコン薄膜をエキシマレーザなどによるレーザアニール法で加熱、結晶化させてポリシリコンである多結晶シリコン薄膜71を形成する。

【0032】ここで、多結晶シリコン薄膜71の全面に、ボロンなどのP型不純物をドーピングしてもよい。

【0033】次に、図3に示すように、多結晶シリコン薄膜71をパターンニングし薄膜トランジスタ23の半導体層

31と補助容量24の下部電極38とを形成する。

7

リコンの第1の絶縁膜41を70nmの膜厚で成膜する。

【0035】また、第1の絶縁膜41の全面にフォトリソスト層を形成し、このフォトリソスト層をフォトエッチングにより、図5に示すように、薄膜トランジスタ23の半導体層31のソース領域32およびドレイン領域33以外の部分にレジストマスク72を選択的に形成する。薄膜トランジスタ23のソース領域32およびドレイン領域33に不純物を注入するとともに、補助容量24の下部電極38となる部分を低抵抗化するように不純物を注入させる。

【0036】たとえば図6に示すように、レジストマスク72を介して、補助容量24の下部電極38、薄膜トランジスタ23の半導体層31のソース領域32およびドレイン領域33にリン(P)などのN型不純物を高濃度、たとえば加速電圧50keV、ドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ で注入する。

【0037】また、図7に示すように、レジストマスク72をプラズマアッシング法により剥離する。なお、このプラズマアッシング法により第1の絶縁膜41の表面にダメージが発生しダメージ層73が生じてしまう。

【0038】そして、図8に示すように、第1の絶縁膜41の表面のダメージ層73を、たとえば、3%の希フッ酸で15秒洗浄する希フッ酸処理により除去する。

【0039】次に、図9に示すように、第1の絶縁膜41の表面全体に、プラズマCVD法により第2の絶縁膜42となる酸化シリコンを65nmの膜厚で形成する。

【0040】また、図10に示すように、第2の絶縁膜42上の全面にスパッタ法によりモリブデンタンゲステン合金膜74を300nm程度の膜厚で被着する。

【0041】そして、図11に示すように、モリブデンタンゲステン合金膜74をフォトリソグラフィ工程により所定の形状にパターンニングし、半導体層31の上方でこの半導体層31のソース領域32およびドレイン領域33となる部分よりそれぞれやや内側に位置して薄膜トランジスタ23のゲート電極34、および、下部電極38の上方でこの下部電極38よりやや大きめに上部電極44を形成し、他の部分を除去する。

【0042】この後、図12に示すように、薄膜トランジスタ23のゲート電極34をマスクとしてリンなどのN型不純物を低濃度でたとえば加速電圧80keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ で注入し、薄膜トランジスタ23のLDD領域36、37を形成するとともに、チャネル領域35をゲート電極34に自己整合させて形成し、アニール処理して注入した不純物を活性化させる。

【0043】次に、図13に示すように、これら薄膜トランジスタ23のゲート電極34および補助容量24の上部電

(5)

特開2003-75870

8

する。

【0044】続いて、層間絶縁膜46、第1の絶縁膜41および第2の絶縁膜42にフォトエッチング法により、薄膜トランジスタ23のソース領域32に達するコンタクトホール48および薄膜トランジスタ23のドレイン領域33に達するコンタクトホール49を開孔する。

【0045】次に、層間絶縁膜46上およびコンタクトホール48、49内にスパッタリング法によりアルミニウムなどの単体または積層膜あるいは合金膜を400nmの膜厚で被着し、フォトエッチング法により所定の形状にパターンニングし、薄膜トランジスタ23のソース電極51、ソース電極51に一体の信号線およびドレイン電極52を形成する。

【0046】さらに、薄膜トランジスタ23のソース電極51、ソース電極51に一体の信号線およびドレイン電極52および画素電極47を含む層間絶縁膜46上にプラズマCVD法により窒化シリコンのバッシベーション膜53を膜厚400nmで成膜する。そして、フォトエッチング法により画素電極47の上方に開口54を形成する。

【0047】次に、図1に示すように、画素電極47を囲むバッシベーション膜53上に配向膜55を形成し、マトリクスアレイ基板12を形成する。

【0048】そして、このマトリクスアレイ基板12に外向基板13を間隙を介して対向させてセル化し、これらマトリクスアレイ基板12と外向基板13の間隙に液晶を注入し封止して液晶層14を形成する。

【0049】そして、マトリクスアレイ基板12および外向基板13の外表面に図示しない偏光板を貼り付けることにより、液晶表示装置11を形成する。

【0050】上記実施の形態によれば、補助容量24の下部電極38に選択的に薄膜トランジスタ23のソース領域32およびドレイン領域33と略等しい高濃度で不純物が注入されていることにより、駆動電圧を下げて消費電力を低下できる。

【0051】また、下部電極38への不純物の注入の際のレジストマスク72をプラズマアッシングして剥離した後、第1の絶縁膜41の表面に入ったダメージ層73を除去する希フッ酸処理をすることにより、第1の絶縁膜41のゲート絶縁膜部43にダメージがないため薄膜トランジスタ23の特性劣化は発生しない。さらに、第1の絶縁膜41上に、第2の絶縁膜42が積層して成膜されていることにより、希フッ酸処理の際に第1の絶縁膜41にピンホールができた場合でも、第2の絶縁膜42によってゲート絶縁膜部43のゲート電極34と半導体層31のチャネル領域35との間もしくは、画素電極47でショートを防止できるため、液晶の表示不良を防止できる。また、第1の絶縁膜41に

9

り薄膜トランジスタ23の特性変動を抑制することができ、一方、単に、絶縁層40に不純物を注入しただけでは絶縁膜40の絶縁性を低下を生ずることがあるが、実質的に不純物を含まない第2の絶縁膜42を積層するため、絶縁膜40の絶縁性の低下を抑制できる。

【0052】そして、上記実施の形態では、半導体層31の多結晶シリコン薄膜をレーザアニール法により作成したが、非晶質シリコンを固相成長させて形成しても良い。

【0053】また、ゲート電極34などの電極および信号線などにはスパッタリング法によって作成した金属薄膜を用い、アルミニウムもしくはその合金薄膜を用いたが、導電性のある物質ならば何でもよく、不純物添加したシリコン薄膜を用いても良い。

【0054】さらに、注入する不純物にリンを用いたN型半導体装置のN型薄膜トランジスタを用いて説明したが、P型半導体装置にも適用できる。

【0055】またさらに、中間絶縁膜46にはプラズマCVD法により作成した酸化膜の酸化シリコンを用いたが、熱CVD法あるいはスパッタリング法で形成してもよく、酸化膜だけでなく絶縁性を有する膜ならば何でも使用できる。

【0056】上述の実施の形態では一例として液晶表示装置を用いて説明したが、これに限定されず、対向する電極間に光変調層として発光層を備えた表示素子を、マトリクス状に配置してなる例えば有機EL表示装置等の自己発光型表示装置にも適用することができる。

【0057】

【発明の効果】本発明は、電圧依存性を抑制し歩留りを向上できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の液晶表示装置を示す断面図である。

【図2】同上液晶表示装置のマトリクスアレイ基板の一製造工程を示す断面図である。

【図3】同上液晶表示装置のマトリクスアレイ基板の図2の次の製造工程を示す断面図である。

(5)

特開2003-75870

10

\*【図4】同上液晶表示装置のマトリクスアレイ基板の図3の次の製造工程を示す断面図である。

【図5】同上液晶表示装置のマトリクスアレイ基板の図4の次の製造工程を示す断面図である。

【図6】同上液晶表示装置のマトリクスアレイ基板の図5の次の製造工程を示す断面図である。

【図7】同上液晶表示装置のマトリクスアレイ基板の図6の次の製造工程を示す断面図である。

【図8】同上液晶表示装置のマトリクスアレイ基板の図7の次の製造工程を示す断面図である。

【図9】同上液晶表示装置のマトリクスアレイ基板の図8の次の製造工程を示す断面図である。

【図10】同上液晶表示装置のマトリクスアレイ基板の図9の次の製造工程を示す断面図である。

【図11】同上液晶表示装置のマトリクスアレイ基板の図10の次の製造工程を示す断面図である。

【図12】同上液晶表示装置のマトリクスアレイ基板の図11の次の製造工程を示す断面図である。

【図13】同上液晶表示装置のマトリクスアレイ基板の図12の次の製造工程を示す断面図である。

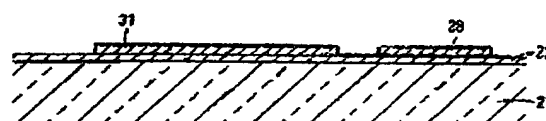
【符号の説明】

- 11 平面表示装置としての液晶表示装置
- 21 絶縁性基板
- 23 薄膜トランジスタ
- 24 補助容量
- 31 半導体層
- 32 ソース領域
- 33 ドレイン領域
- 34 ゲート電極
- 35 チェネル領域
- 38 補助容量用半導体層としての下部電極
- 40 絶縁層
- 41 第1の絶縁膜
- 42 第2の絶縁膜
- 44 金属電極としての上部電極
- 47 表示素子を形成する画素電極
- 72 レジストマスク

【図2】



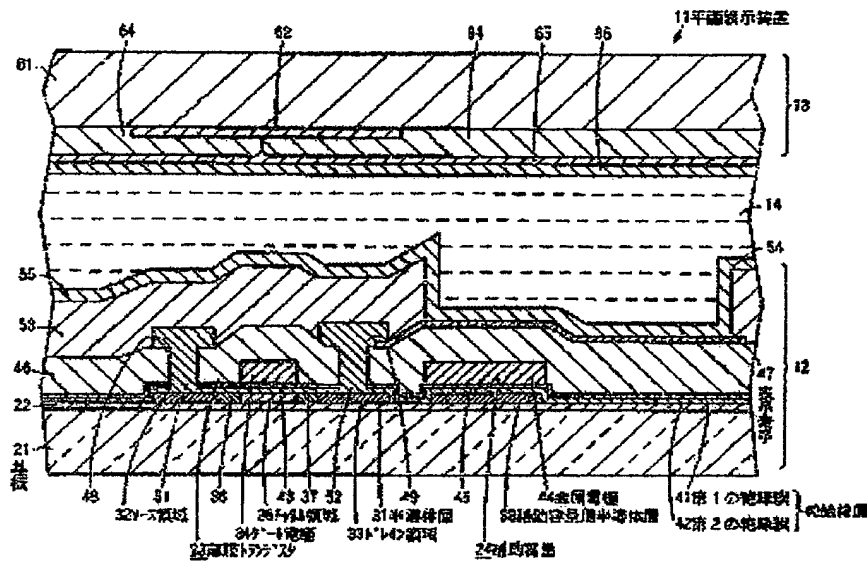
【図3】



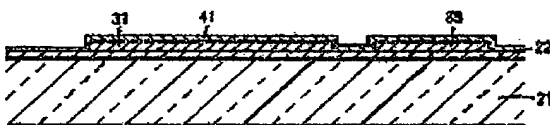
(7)

特開2003-75870

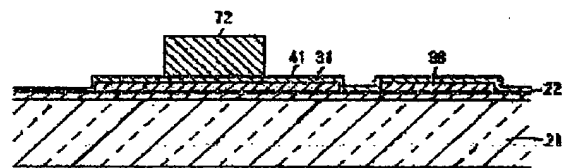
【図1】



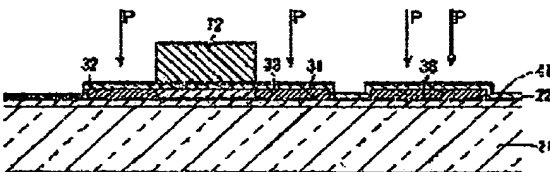
【図4】



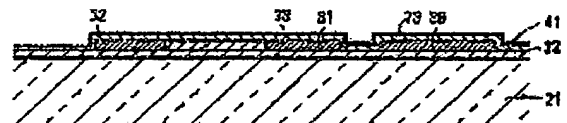
【図5】



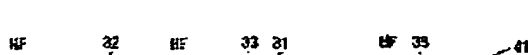
【図6】



【図7】



【図8】



【図9】

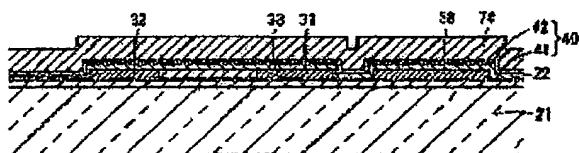




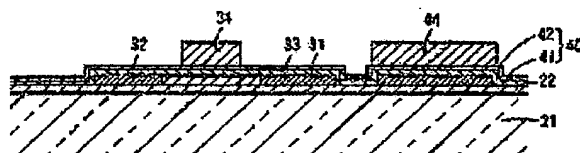
(8)

特開2003-75870

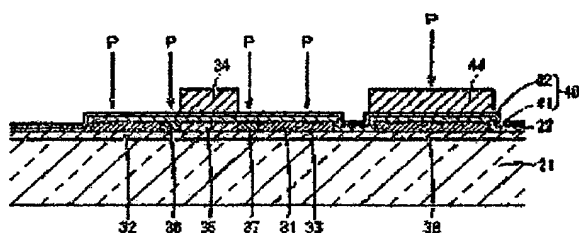
【図10】



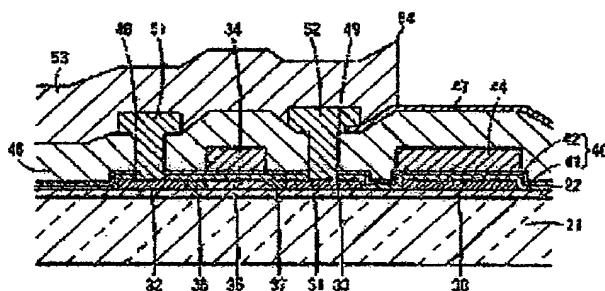
【図11】



【図12】



【図13】



フロントページの続き

Fターム(参考) 2H092 JA24 JB56 JB63 JB66 MA07  
 MA15 MA17 MA22 MA27 MA13  
 NA16 MA29  
 5C094 AA22 AA23 AA42 AA43 BA03  
 BA43 CA19 DA15 EA04 EA07  
 FB15 GB10  
 5F110 AA12 BB01 CC02 DD02 DD13  
 EE06 EE09 EE44 FF02 FF07  
 FF09 FF30 FF36 GG02 GG13  
 GG25 GG32 GG35 HJ01 HJ13  
 HJ23 HL03 HL23 MA15 NN02  
 NN03 NN04 NN23 NN24 NN34  
 NN35 NN72 NN73 PP03

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**